






Bus system**Publication number:** CN1337628**Publication date:** 2002-02-27**Inventor:** CHIN-SOO-KIM (KR)**Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)**Classification:****- International:** G06F13/16; G06F13/18; G06F13/362; G06F13/42;
G06F13/16; G06F13/36; G06F13/42; (IPC1-7):
G06F13/18; G06F12/00**- European:** G06F13/362**Application number:** CN20011008302 20010227**Priority number(s):** KR20000046658 20000811**Also published as:** US6671761 (B2)
 US2002023186 (A)
 JP2002063131 (A)
 GB2366883 (A)
 CN1191531C (C)[Report a data error here](#)

Abstract not available for CN1337628

Abstract of corresponding document: US2002023186

A bus system is provided. The bus system includes: an arbiter that receives access commands output from the plurality of master devices and outputs the access commands in an order according to a predetermined arbitration algorithm; an execution scheduler that receives the access commands from the arbiter and outputs the access commands in the order in which execution preparation by corresponding slave devices are complete; a plurality of command execution controllers corresponding to at least one of the slave devices, respectively, each command execution controller stores two or more access commands input from the execution scheduler, extracts access information necessary for execution from the stored access commands, controls the output order of the access commands based on the result of comparing the extracted access information with access information about the command currently being executed so that the total execution time of the stored commands is shorter than the total execution time according to the order in which the commands are input; and a plurality of pseudo-delayers corresponding to at least one of slave devices, respectively, each pseudo-delayer delays and outputs the access command received from the command execution controller to a corresponding slave device so that the latency period of the corresponding slave device may equal the longest of latency periods of the plurality of slave devices. Accordingly, the number of idle clock cycles of a data bus is reduced and the overall system efficiency is improved.

Data supplied from the esp@cenet database - Worldwide

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.⁷

G06F 13/18

G06F 12/00

[12] 发明专利申请公开说明书

[21] 申请号 01108302.6

[43] 公开日 2002 年 2 月 27 日

[11] 公开号 CN 1337628A

[22] 申请日 2001.2.27 [21] 申请号 01108302.6

[30] 优先权

[32] 2000.8.11 [33] KR [31] 46658/00

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金镇守

[74] 专利代理机构 北京市柳沈律师事务所

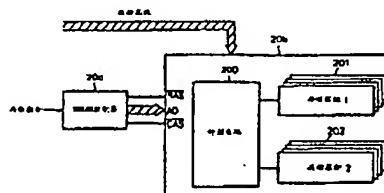
代理人 黄小临

权利要求书 6 页 说明书 18 页 附图页数 8 页

[54] 发明名称 总线系统

[57] 摘要

一种总线系统,包括:判优器,接收从多个主器件输出的存取指令,并输出判优的存取指令;执行调度器,接收从判优器输出的存取指令,并以相应从器件执行准备完成的次序来输出存取指令;与至少一从器件相对应提供的多个指令执行控制器,控制存取指令的输出次序,以便存储指令的总执行时间短于按照输入指令的次序的总执行时间;和多个伪延迟器,延迟从指令执行控制器接收的存取指令并输出到相应的从器件,使相应从器件的等待时间可等于多个从器件中最长的等待时间。提高整个系统效率。



ISSN 1008-4274

知识产权出版社出版

权利要求书

1. 一种包括多个主器件和多个从器件的总线系统, 其中至少一个从器件存在等待时间, 该总线系统包括:

- 5 判优器, 用于接收从多个主器件输出的存取指令, 并以根据预定判优算法的次序输出存取指令;

执行调度器, 用于从所述判优器接收存取指令, 并以相应的从器件完成执行准备的次序来输出存取指令;

- 10 分别与至少一个从器件相对应提供的多个指令执行控制器, 每个所述指令执行控制器存储两个或更多个从所述执行调度器输入的存取指令, 从存储的存取指令中提取执行所需的存取信息, 根据将所提取的存取信息与有关当前正被执行的指令的存取信息相比较的结果来控制存取指令的输出次序, 以便使所存储指令的总执行时间短于根据输入各指令的次序的总执行时间; 和

- 15 分别与至少一个从器件相对应提供的多个伪延迟器, 每个所述伪延迟器延迟从所述指令执行控制器接收的存取指令并将其输出到相应的从器件, 以便使相应的从器件的等待时间可以等于多个从器件中最长的等待时间。

2. 如权利要求 1 所述的总线系统, 其中所述判优器包括:

- 20 总线请求接收器, 与数个主器件相连接, 用于从主器件接收总线请求输入;

优先级提取器, 用于如果通过所述总线请求接收器输入总线请求则输出表示与主器件相对应的预定优先级的优先级信号, 并根据输出的优先级信号产生表示各总线请求的所有优先级的优先级和信号;

- 25 优先级输出单元, 用于根据所述优先级提取器产生的优先级和信号以优先级递降的次序输出优先级;

包括标识符输出单元的优先级映射器, 所述标识符输出单元根据优先级信号输出提出总线请求的主器件的标识符; 和

判优电路, 用于将总线存取赋予具有从所述优先级映射器输出的标识



符的主器件，以便使赋予总线存取的主器件输出存取指令。

3. 如权利要求 2 所述的总线系统，其中所述总线请求接收器包括多个与该多个主器件相连接的输入端口，用于从主器件接收总线请求输入；和多个配置在输入端口中的寄存器，用于存储在输入端口上指定的优先级。

5 4. 如权利要求 3 所述的总线系统，其中利用与优先级相同的位数表示优先级信号。

5. 如权利要求 4 所述的总线系统，其中所述优先级输出单元对一个或多个优先级信号逐位进行 OR(或)运算，并产生以与优先级信号相同的位数表示的优先级和信号。

10 6. 如权利要求 2 所述的总线系统，其中所述主器件标识符输出单元包括：

标识符提取器，用于通过提取包括位的位列来产生标识符信号，所述位表示向由优先级信号构成的矩阵所请求的优先级，并根据产生的标识符信号提取相应的主器件标识符；和

15 标识符输出单元，用于输出在由标识符提取器所提取的标识符中具有从所述优先级输出单元输出的优先级的主器件的标识符。

7. 如权利要求 6 所述的总线系统，其中所述标识符提取器包括解码器，用于接收输入标识符信号，并提取相应的主器件标识符。

8. 如权利要求 1 所述的总线系统，其中所述执行调度器包括：

20 存取指令分配器，用于接收从所述判优器输出的存取指令，并向相应的指令执行控制器发送存取指令；和

执行调度单元，用于将发送的存取指令的执行开始信号发向所述指令执行控制器，所述指令执行控制器与已经从所述存取指令分配器接收了存取指令的所述伪延迟器中已经接收了执行准备完成信号的一个伪延迟器相
25 对应。

9. 如权利要求 8 所述的总线系统，其中所述执行调度单元包括：

标识符存储队列，含有一个或多个存储元件作为标识符存储单元，用于存储通过所述存取指令分配器接收存取指令的相应从器件的标识符；和标识符存储队列控制器，用于控制标识符存储队列；

30 比较器，所述比较器的每一个是与每个存储元件相对应地配置的，用



于确定存储在存储元件中的标识符是否与发送执行准备完成信号的从器件的标识符相同；和

解码器，用于如果由所述比较器确定两个标识符是相同的，则向已经接收了执行准备完成信号的所述伪延迟器发送执行开始信号。

- 5 10. 如权利要求 9 所述的总线系统，其中所述存取指令分配器包括指令存储队列，用于存储从判优器接收的存取指令；和指令存储队列控制器，用于控制指令存储队列。

11. 如权利要求 8 所述的总线系统，其中每个所述指令执行控制器包括：

- 10 指令保持器，用于存储两个或多个从所述存取指令分配器接收的存取指令；

存取信息提取器，用于从存储在指令存储单元中的存取指令提取用于执行的存取指令；

- 15 执行存取信息存储单元，用于存储有关当前正由从器件执行的存取指令的存取信息；

比较单元，用于将由所述存取信息提取器提取的存取信息与存储在所述执行存取信息存储单元中的存取信息相比较；和

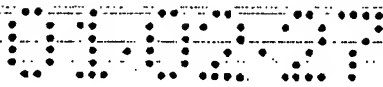
- 20 输出次序控制器，用于根据来自所述比较单元的比较结果控制存储在所述指令保持器中的存取指令的输出次序，以便所存储指令的总执行时间短于按照存储指令的次序的总执行时间；并按照被控制的输出次序将存取指令输出到所述伪延迟器。

12. 如权利要求 11 所述的总线系统，其中所述指令保持器包括指令存储队列，含有多个存储元件，用于存储存取指令，

- 25 其中所述存取信息提取器包括多个信息提取器，用于提取存取信息，所述信息提取器的每一个是与每个存储元件相对应地配置的，

其中所述执行存取信息存储单元包括寄存器，用于存储有关当前被执行的存取指令的存取信息，

- 30 其中所述比较单元包括多个比较器，用于将所述存取信息提取器提取的存取信息与存储在所述寄存器中的存取信息相比较，所述比较器的每一个是与每个所述存取信息提取器相对应地配置的，和



其中所述输出次序控制器包括输出次序控制电路，用于根据由来自比较器的比较结果赋予的优先级来控制输出次序；和多路复用器，用于按照来自所述输出次序控制电路的输出次序来输出存储在所述指令存储单元中的存取指令。

5 13. 如权利要求 12 所述的总线系统，其中所述存取信息包括组地址和行地址，和

其中所述比较单元将每个所述信息提取器提取的组地址和行地址与存储在所述寄存器中的组地址和行地址相比较。

10 14. 如权利要求 13 所述的总线系统，其中所述输出次序控制电路向作为比较结果其组地址和行地址与存储在所述寄存器中的组地址和行地址相同的存取指令赋予第一优先级。

15 15. 如权利要求 14 所述的总线系统，其中所述输出次序控制电路向作为比较结果其组地址和行地址与存储在所述寄存器中的组地址和行地址不同的存取指令赋予第二优先级。

15 16. 如权利要求 11 所述的总线系统，其中存取信息还包括突发长度，所述突发长度的含义是突发发送数据的位长度。

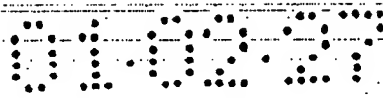
20 17. 如权利要求 1 所述的总线系统，其中每个所述伪延迟器包括存储单元，用于存储与最长等待时间与每个从器件的等待时间之间的差值相对应的延迟时钟周期数，从相应指令执行控制器接收存取指令，并在经过了与存储在所述存储单元中的数目相对应的延迟时钟周期数之后将存取指令发送到相应的从器件。

18. 一种包括多个主器件和数个从器件的总线系统，其中至少一个从器件存在等待时间，该总线系统包括：

25 判优器，用于接收从多个主器件输出的存取指令，并以根据预定判优算法的次序输出存取指令；

执行调度器，用于从所述判优器接收存取指令，并以相应的从器件完成执行准备的次序来输出存取指令；

30 多个与该多个从器件相对应提供的指令存储单元，每个所述指令存储单元存储一个或多个从执行调度器接收的存取指令，并以输入指令的次序输出存取指令；和



多个分别与至少一个从器件相对应提供的伪延迟器，每个所述伪延迟器延迟从所述指令存储单元接收的存取指令并将其输出到相应的从器件，以便使相应的从器件的等待时间可以等于该多个从器件中最长的等待时间。

5 19. 如权利要求 18 所述的总线系统，其中判优器包括：

总线请求接收器，与多个主器件相连接，用于从主器件接收总线请求输入；

优先级提取器，用于如果通过所述总线请求接收器输入总线请求，则输出表示与主器件相对应的预定优先级的优先级信号，并根据输出的优先级信号产生表示各总线请求的所有优先级的优先级和信号；

10

优先级输出单元，用于根据所述优先级提取器产生的优先级和信号以优先级递减的次序输出优先级；

包括标识符输出单元的优先级映射器，所述标识符输出单元根据优先级信号来输出提出总线请求的主器件的标识符；和

15 判优电路，用于将总线存取赋予具有从所述优先级映射器输出的标识符的主器件，以便使赋予总线存取的主器件输出存取指令。

20. 如权利要求 18 所述的总线系统，其中所述总线请求接收器包括多个与该多个主器件相连接的输入端口，用于从主器件接收总线请求输入；和多个配置在输入端口中的寄存器，用于存储在输入端口指定的优先级。

20 21. 如权利要求 20 所述的总线系统，其中优先级信号用与优先级相同的位数表示。

22. 如权利要求 21 所述的总线系统，其中所述优先级输出单元对一个或多个优先级信号逐位进行 OR(或)运算，并产生以与优先级信号相同位数表示的优先级和信号。

25 23. 如权利要求 19 所述的总线系统，其中所述主器件标识符输出单元包括：

标识符提取器，用于通过提取包括位的位列来产生标识符信号，所述位表示由优先级信号构成的矩阵所请求的优先级，并根据产生的标识符信号提取相应的主器件标识符；和

30 标识符输出单元，用于输出在由所述标识符提取器的所提取的标识符

中具有从所述优先级输出单元输出的优先级的主器件的标识符。

24. 如权利要求 23 所述的总线系统, 其中所述标识符提取器包括解码器, 用于接收输入标识符信号, 并提取相应的主器件标识符。

25. 如权利要求 24 所述的总线系统, 其中所述执行调度器包括:

5 存取指令分配器, 用于接收从所述判优器输出的存取指令, 并向相应的指令存储单元发送存取指令; 和

执行调度单元, 用于将发送的存取指令的执行开始信号发给所述指令存储单元, 所述指令存储单元与已经从所述存取指令分配器接收了存取指令的所述伪延迟器中已经接收了执行准备完成信号的一个伪延迟器相对
10 应。

26. 如权利要求 25 所述的总线系统, 其中所述执行调度单元包括:

标识符存储队列, 含有一个或多个存储元件作为标识符存储单元, 用于存储通过所述存取指令分配器接收存取指令的相应从器件的标识符; 和标识符存储队列控制器, 用于控制标识符存储队列;

15 比较器, 所述比较器的每一个是与每个存储元件相对应配置的, 用于确定存储在存储元件中的标识符是否与发送执行准备完成信号的从器件的标识符相同; 和

解码器, 用于如果由所述比较器确定两个标识符是相同的, 则向已经接收了执行准备完成信号的所述伪延迟器发送执行开始信号。

20 27. 如权利要求 26 所述的总线系统, 其中所述存取指令分配器包括指令存储队列, 用于存储从所述判优器接收的存取指令; 和指令存储队列控制器, 用于所述控制指令存储队列。

28. 如权利要求 18 所述的总线系统, 其中每个所述指令存储单元包括执行指令存储队列, 用于存储存取指令; 和执行指令存储队列控制器, 用
25 于控制所述执行指令存储队列。

29. 如权利要求 18 所述的总线系统, 其中每个所述伪延迟器包括存储单元, 用于存储与最长等待时间与每个从器件的等待时间之间的差值相对应的延迟时钟周期数, 从相应指令存储单元接收存取指令, 并在经过了与存储在存储单元中的数目相对应的延迟时钟周期数之后将存取指令发送到
30 相应的从器件。

说明书

总线系统

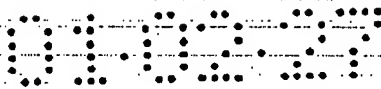
- 5 本发明涉及总线系统, 尤其涉及通过调整存取指令的执行和时间点的次序以及传送到每个从器件的存取指令的执行次序来提高数据总线的效率的总线系统。

- 10 判优器(arbiter)用于判优对总线的存取。在传统总线系统中, 判优器从多个主器件接收对总线存取的请求, 根据特定判优算法对总线访问请求进行判优, 并根据判优结果来赋予主器件对总线的控制。一旦已经许可主器件的请求, 主器件便可以接管总线的控制, 直到主器件已经完成它与相应从器件的数据传输。这里, 总线可以包括地址/控制总线 and 数据总线。

- 15 当前使用的总线系统采用诸如同步 DRAM(SDRAM, 同步动态随机存取存储器)的高速存储器作为从器件。在诸如 SDRAM 之类的高速存储器的情况下, 它不能与数据总线同时对存取/控制总线进行存取。也就是说, 如果诸如地址或读/写标志之类的地址/控制信号输入到 SDRAM, 则在经过了预定等待时间之后才输出或输入数据。因此, 主器件实际上在比预期时间短的时段内接管了对地址/控制总线或数据总线的控制。根据传统判优系统, 其中在预定时间内同时地赋予对地址/控制总线或数据总线的存取或控制, 20 存在着大量地址/控制总线 and 数据总线的空闲时钟周期(cycle), 这降低了总线存取的效率。

- 采用固定优先级方案的判优器易于设计, 但如果在总线系统操作期间所指定的优先级需要修改, 则不能应用这种判优器。必要时, 根据优先级指定方案的判优在支持经常通过总线发送和接收数据的主器件方面是有利的。 25

然而, 优先级指定方案的问题在于, 与固定优先级方案或赋予每个主器件相等的存取或控制总线的机会的周期算法(round robin algorithm)相比, 硬件又大又复杂。更具体地说, 将总线请求从每个主器件输入到每个输入端口, 通过比较每个输入端口进行优先级指定, 以查找优先级最高的



输入端口。因此，例如，如果输入端口数是3或4，则需要3至6个比较器。

也就是说，对于N个输入端口，需要 C_2 个比较器。随着主器件数的增加，比较器数显著增加，这将导致极大的判优器电路和缓慢的判优速度。因此，为了获得适当尺寸的判优器电路和高的判优速度，必须限制主器件的数量。

- 5 为了解决上面问题，本发明的目的是提供一种通过减少数据总线的空闲时钟周期数提高了数据传输效率的总线系统。

本发明的另一个目的是提供一种无需限制主器件数就能提供优先级指定方案的判优器和利用这种判优器的总线系统。

- 因此，为了达到上述目的，本发明提供了包括多个主器件和多个从器件的总线系统，其中至少一个从器件存在等待时间。该总线系统包括：判
10 优器，用于接收从多个主器件输出的存取指令，并以根据预定判优算法的次序输出存取指令；执行调度器，用于接收从判优器输出的存取指令，并以相应的从器件的执行准备完成的次序来输出存取指令；分别与至少一个从器件相对应提供的多个指令执行控制器，每个指令执行控制器存储两个
15 或更多个从执行调度器输入的存取指令，从存储的存取指令中提取执行所需的存取信息，根据提取的存取信息与有关当前正被执行的指令的存取信息的比较结果来控制存取指令的输出次序，以使所存储指令的总执行时间短于根据输入指令的次序的总执行时间；和分别与至少一个从器件相对应提供的多个伪延迟器，每个伪延迟器延迟从指令执行控制器接收的存取指
20 令并将其输出到相应的从器件，以便使相应的从器件的等待时间可以等于多个从器件中最长的等待时间。

- 判优器包括总线请求接收器，与多个主器件相连接，用于从主器件接收总线请求输入；优先级提取器，用于如果通过总线请求接收器输入总线
25 请求则输出表示与主器件相对应的预定优先级的优先级信号，并根据输出的优先级信号产生表示各总线请求的所有优先级的优先级和信号；优先级输出单元，用于根据优先级提取器产生的优先级和信号以优先级递降的次序输出优先级；包括标识符输出单元的优先级映射器，该标识符输出单元根据优先级信号输出提出总线请求的主器件的标识符；和判优电路，用于将总线存取赋予(grant)具有从优先级映射器输出的标识符的主器件，以便
30 使赋予总线存取的主器件总线输出存取指令。



最好，总线请求接收器包括多个与该多个主器件相连接的输入端口，
用于从主器件接收总线请求输入；和多个配置在输入端口中的寄存器，用
于存储在输入端口上指定的优先级。

- 最好，利用与优先级相同的位数来表示优先级信号。优先级输出单元
5 对一个或多个优先级信号逐位进行 OR(或)运算，并产生以与优先级信号相同
位数表示的优先级和信号。

- 最好，主器件标识符输出单元包括标识符提取器，用于通过提取包括
位的位列来产生标识符信号，所述位表示向由优先级信号构成的矩阵所请
求的优先级，并根据产生的标识符信号提取相应的主器件标识符；和标识
10 符输出单元，用于输出在由标识符提取器的所提取的标识符中具有从优先
级输出单元输出的优先级的主器件的标识符。标识符提取器包括解码器，
用于接收输入标识符信号，并提取相应的主器件标识符。

- 最好，执行调度器包括存取指令分配器，用于接收从判优器输出的存
取指令，并向相应的指令执行控制器发送存取指令；和执行调度单元，用
15 于向指令执行控制器发出发送的存取指令的执行开始信号，所述指令执行
控制器与已经从存取指令分配器接收了存取指令的伪延迟器中已经接收了
执行准备完成信号的一个伪延迟器相对应。

- 最好，执行调度单元包括标识符存储队列，含有一个或多个存储元件
作为标识符存储单元，用于存储通过存取指令分配器接收存取指令的相应
20 从器件的标识符，和标识符存储队列控制器，用于控制标识符存储队列；
比较器，所述比较器的每一个是与每个存储元件相对应地配置的，用于确
定存储在存储元件中的标识符是否与发送执行准备完成信号的从器件的标
识符相同；和解码器，用于如果由比较器确定两个标识符是相同的，向已
经接收了执行准备完成信号的伪延迟器发送执行开始信号。

- 25 最好，存取指令分配器包括指令存储队列，用于存储从判优器接收的
存取指令；和指令存储队列控制器，用于控制指令存储队列。

- 每个指令执行控制器包括指令保持器，用于存储两个或多个从存取指
令分配器接收的存取指令；存取信息提取器，用于从存储在指令存储单元
中的存取指令提取用于执行的存取指令；执行存取信息存储单元，用于存
30 储有关当前正由从器件执行的存取指令的存取信息；比较单元，用于将由



存取信息提取器提取的存取信息与存储在执行存取信息存储单元中的存取信息相比较；和输出次序控制器，用于根据来自比较单元的比较结果控制

存储在指令保持器中的存取指令的输出次序，以便所存储指令的总执行时间短于按照存储指令的次序的总执行时间，并按照被控制的输出次序将存

5 取指令输出到伪延迟器。

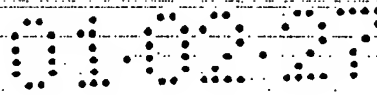
最好，指令保持器包括指令存储队列，含有多个存储元件，用于存储存取指令；并且存取信息提取器包括多个信息提取器，用于提取存取信息，所述信息提取器的每一个是与每个存储元件相对应地配置的。执行存取信息存储单元包括寄存器，用于存储有关当前正被执行的存取指令的存取信

10 息；和比较单元包括多个比较器，用于将存取信息提取器提取的存取信息与存储在寄存器中的存取信息相比较，所述比较器的每一个是与每个存取信息提取器相对应地配置的。输出次序控制器包括输出次序控制电路，用于根据由来自比较器的比较结果赋予的优先级来控制输出次序；和多路复用器，用于按照来自输出次序控制电路的输出次序来输出存储在指令存储单元中的存取指令。

最好，存取信息包括组地址和行地址，和比较单元将每个信息提取器提取的组地址和行地址与存储在寄存器中的组地址和行地址相比较。输出次序控制电路向作为比较结果其组地址和行地址与存储在寄存器中的组地址和行地址相同的存取指令赋予第一优先级，而向作为比较结果其组地址与存储在寄存器中的组地址不同的存取指令赋予第二优先级。存取信息还包括突发(burst)长度，突发长度的含义是突发发送数据的位长度。

20 最好，每个伪延迟器包括存储单元，用于存储与最长等待时间与每个从器件的等待时间之间的差值相对应的延迟时钟周期数，从相应指令执行控制器接收存取指令，并在经过了与存储在存储单元中的数目相对应的延迟时钟周期数之后将存取指令发送到相应的从器件。

25 本发明还提供了包括多个主器件和多个从器件的总线系统，其中至少一个从器件存在等待时间。该总线系统包括：判优器，用于接收从多个主器件输出的存取指令，并以根据预定判优算法的次序输出存取指令；执行调度器，用于从判优器接收存取指令，并以相应的从器件的执行准备完成的次序来输出存取指令；多个与该多个从器件相对应地提供的指令存储单



元，每个指令存储单元存储一个或多个从执行调度器接收的存取指令，并以输入指令的次序输出存取指令；和多个分别与至少一个从器件相对应提供的伪延迟器，每个伪延迟器延迟从指令存储单元接收的存取指令并将其输出到相应的从器件，以便使相应的从器件的等待时间可以等于该多个从器件中最长的等待时间。

5 判优器包括：总线请求接收器，与多个主器件相连接，用于从主器件接收总线请求输入；优先级提取器，用于如果通过总线请求接收器输入总线请求则输出表示与主器件相对应的预定优先级的优先级信号，并根据输出的优先级信号产生表示各总线请求的所有优先级的优先级和信号；
10 优先级输出单元，用于根据优先级提取器产生的优先级和信号以优先级递降的次序输出优先级；包括标识符输出单元的优先级映射器，该标识符输出单元根据优先级信号来输出提出总线请求的主器件的标识符；和判优电路，
用于将总线存取赋予具有从优先级映射器输出的标识符的主器件，以便使赋予总线存取的主器件输出存取命令。

15 最好，总线请求接收器包括多个与该多个主器件相连接的输入端口，用于从主器件接收总线请求输入；和多个配置在输入端口中的寄存器，用于存储在输入端口指定的优先级。优先级信号用与优先级相同的位数表示。

最好，优先级输出单元对一个或多个优先级信号逐位进行OR(或)运算，并产生以与优先级信号相同位数表示的优先级和信号。主器件标识符输出
20 单元包括标识符提取器，用于通过提取包括位的位列来产生标识符信号，所述位表示由优先级信号构成的矩阵所请求的优先级，并根据产生的标识符信号提取相应的主器件标识符；和标识符输出单元，用于输出在由标识符提取器的所提取的标识符中具有从优先级输出单元输出的优先级的主器件的标识符。标识符提取器包括解码器，用于接收输入标识符信号，并提
25 取相应的主器件标识符。

最好，执行调度器包括存取指令分配器，用于接收从判优器输出的存取指令，并向相应的指令存储单元发送存取指令；和执行调度单元，用于向指令存储单元发出发送的存取指令的执行开始信号，所述指令存储单元与已经从存取指令分配器接收了存取指令的伪延迟器中已经接收了执行准
30 备完成信号的一个伪延迟器相对应。

最好，执行调度单元包括标识符存储队列，含有一个或多个存储元件
 作为标识符存储单元，用于存储通过存取指令分配器接收存取指令的相应
 从器件的标识符；和标识符存储队列控制器，用于控制标识符存储队列；
 比较器，所述比较器的每一个是与每个存储元件相对应地配置的，用于确
 5 定存储在存储元件中的标识符是否与发送执行准备完成信号的从器件的标
 识符相同；和解码器，用于如果由比较器确定两个标识符是相同的，向已
 经接收了执行准备完成信号的伪延迟器发送执行开始信号。

最好，存取指令分配器包括指令存储队列，用于存储从判优器接收的
 存取指令；和指令存储队列控制器，用于控制指令存储队列。每个指令存
 10 储单元包括执行指令存储队列，用于存储存取指令；和执行指令存储队列
 控制器，用于控制执行指令存储队列。

最好，每个伪延迟器包括存储单元，用于存储与最长等待时间与每个
 从器件的等待时间之间的差值相对应的延迟时钟周期数；从相应指令存储
 单元接收存取指令；并在经过了与存储在存储单元中的数目相对应的延迟
 15 时钟周期数之后将存取指令发送到相应的从器件。

通过结合附图对本发明的优选实施例进行如下详细描述，本发明的上
 述目的和优点将更加清楚，在附图中，

图 1 是显示根据本发明优选实施例的总线系统的示意图；

图 2 是图 1 的从器件的详细方块图；

20 图 3 是图 1 的判优器的方块图；

图 4 是图 3 的优先级映射器的方块图；

图 5 是用于说明执行调度器 4、指令执行控制器和伪延迟器 60 之间的
 相互关系的方块图；

图 6 是图 5 的执行调度器的详细方块图；

25 图 7 是图 5 的指令执行控制器的详细方块图；

图 8 是图 1 的指令存储单元的详细方块图；和

图 9 是用于说明根据本发明的数据传输的时序图。

参照图 1，根据本发明优选实施例的总线系统包括多个主器件 10-17、
 多个从器件 20-24、判优器 3、执行调度器 4、多个指令执行控制器 50、51
 30 和 52、指令存储单元 53 和 54、和多个伪延迟器 60-64。多个主器件 10-



17 和多个从器件 20-24 通过图中未示出的公用数据总线相互连接。数据总线包括主数据总线和本地数据总线,它们以不同的传输速度工作。

主器件 10-17 通常指处理器或直接存储器存取 (DMA) 器件,从器件 20-24 指诸如 RAM(随机存取存储器)、ROM(只读存储器)、SDRAM(同步动态随机存取存储器)和 RDRAM(R 动态随机存取存储器)之类的存储器、I/O(输入/输出)器件、或其它外围器件。在本实施例中,从器件 20、21、和 22 是允许高速数据传输的 SDRAM(同步动态随机存储器),其余的从器件 23 和 24 没有用于数据传输的等待时间。没有等待时间的器件的代表性例子是 ROM。

判优器 3 根据优先级指定方案提出总线请求的主设备 10-17 中优先级最高的主设备 10、11、...、或 17 被赋予对地址/控制总线 50 和数据总线 51 的存取,这能够改变主设备 10、11、...、或 17 每一个的优先级。执行调度器 4 将从判优器 3 发送的存取指令发给相应的指令执行控制器 50、51、或 52 或指令存储单元 53 或 54,然后使从设备 21、22、23、24、或 25 以完成执行准备的次序执行存取指令。在这种情况下,存取指令包括诸如地址之类数据传输所需要的存取信息、相应主设备的标识符和表示突发发送数据的位长度的突发长度。存取指令的执行意味着已经完成了要由存取指令执行的数据传输。

指令执行控制器 50、51 和 52 分别与从器件 20、21 和 22 相对应地设置。指令执行控制器 50、51 和 52 分别从执行调度器 4 接收存取指令,控制接收的存取指令的执行次序,并将存取指令输出到伪延迟器 60、61 和 62。与从器件 23 和 24 相对应设置的指令存储单元 53 和 54 以从执行调度器 4 接收各存取指令的次序,分别将各存取指令输出到伪延迟器 63 和 64。

伪延迟器 60-64 与从器件 20-24 相对应,在已经经过预定时钟周期数之后,伪延迟器 60-64 的每一个将从指令执行控制器 50、51 和 52 或指令存储单元 53 和 54 接收的存取指令发送到相应的从器件 20、21、22、23 或 24。

同时,伪延迟器 60-64 的每一个根据存取指令,在作为真正完成数据传输之前与预定等待时间相对应的时钟周期数的时间点上,将通知存取指令的执行已经完成、即数据传输已经完成的伪执行完成信号发送到执行调度器。数据传输的真正完成可以由包含在指令中的突发长度确定。

图 2 是图 1 的从器件 20 的详细方块图。从器件 21 和 22 具有与从器件 20 相同的结构。参照图 2,从器件 20 包括 SDRAM 控制器 20a 和 SDRAM 20b。

SDRAM 20b 包括, 其中的每一个包括多个存储元件的存储器组 A201 和存储器组 B202; 和用于控制存储器组 A201 和存储器组 B202 的外围电路 200。存储器组 A201 和存储器组 B202 利用未示出的公用端口向外界发送数据和从外界接收数据。

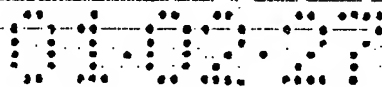
- 5 与 SDRAM 20b 耦合的 SDRAM 控制器 20a 从 SDRAM 20a 接收各种控制信号。SDRAM 控制器 20a 从相应的伪延迟器 60 接收存取指令, 并根据接收的存取指令发送存取存储器组 A201 或存储器组 B202 所需要的 SDRAM 20b 信号, 以执行该存取指令。发送的信号包括片选信号 CS #、行地址选通 RAS #、列地址选通 CAS #、数据地址 AD (行地址和列地址)、存储器组地址 BA、
- 10 读/写选择信号 W # 和数据输出/输入使能信号。为了简便起见, 只表示了关于 RAS、CAST 和数据地址 ADR 和线。

- 根据本发明的优选实施例, SDRAM 控制器 20a 与相应的伪延迟器 60 耦合。伪延迟器 60 从指令执行控制器 50 接收存取指令, 控制接收的存取指令的执行次序, 并根据受控制的存取指令的执行次序, 向 SDRAM 控制器 20a
- 15 输出存取指令。

- 图 3 是图 1 的判优器 3 的方块图。参照图 3, 判优器 3 包括优先级映射器 31 和判优电路 32。如果从一个或多个主器件 10-17 输入总线请求, 则优先级映射器 31 根据预定优先级输出标识输入总线请求中具有最高优先级的总线请求的主器件 10、11、...、或 17 的标识符。判优电路 32 将总线
- 20 赋予具有从优先级映射器 31 输出的标识符的主器件 10、11、...、或 17。

- 图 4 是图 3 的优先级映射器的方块图。参照图 4, 优先级映射器 31 包括总线请求接收器 300、优先级提取器 301、优先级输出单元 302、标识符提取器 303 和标识符输出单元 304。总线请求接收器 300 包括多个分别与主器件 10-17 相连接的输入端口, 能够给它们指定优先级, 它们从主器件 10
- 25 -17 接收总线请求。此外, 如果一个或多个总线请求通过这些输入端口输入, 总线请求接收器 300 输出表示在输入总线请求的相应输入端口上指定的优先级的优先级信号。为相应输入端口指定的优先级存储在相应的寄存器中。优先级提取器 301 根据从总线请求接收器 300 输出的优先级信号, 输出表示输入总线请求的各输入端口的所有优先级的优先级和信号。

- 30 由于根据本实施例的总线系统包括 8 个主器件 10-17, 因此在总线请求接收器 300 中配置 8 个输入端口和 8 个寄存器 0-7。此外, 根据本实施



例的优先级分类成 16 个优先级，用 16 位表示一个优先级信号，并且，在优先级提取器 301 中配置 16 个 OR 运算器 0-15，以便对优先级信号的每个位进行 OR 运算。

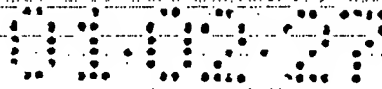
5 优先级输出单元 302 根据从优先级提取器 301 输出的优先级信号，以优先级递减的次序输出优先级。根据从总线请求接收器 300 输出的优先级信号，标识符提取器 303 产生表示主器件标识符的标识符信号，此主器件标识符与优先级信号中表示的优先级相对应，并解码产生的标识符信号，以提取相应的主器件标识符。每一个都与优先级相对应的 16 个解码器 0-15 配置在标识符提取器 303 中，以便解码标识符信号。标识符输出单元 302 10 输出在由标识符提取器 303 提取的主器件标识符中具有由优先级输出单元 302 输出的优先级的主器件标识符。

例如，如果主器件 10 的优先级是 4，和主器件 11 的优先级是 6，则从总线请求接收器 300 输出的优先级信号分别是 1110111111111111 和 1111101111111111。因此，由优先级提取器 301 对两个优先级信号逐位进行 OR 运算，输出 1110101111111111 的优先级和信号 Flag0、...、Flag15。15 当从最高有效位 (MSB) 开始数时，第 4 和第 6 位是“0”，这意味着作出了优先级为 4 和 6 的总线请求。如果随着优先级降低这些总线请求有更高的优先级，则输入优先级和信号的优先级输出单元 302 先输出 4，再输出 6。8 * 16 矩阵按照下列方式生成，作为优先级信号的行矢量 1110111111111111 与主器件 10 相对应，作为优先级信号的行矢量 1111101111111111 与主器件 11 相对应，和行矢量 1111111111111111 与未提出总线请求的其余主器件 12-17 相对应。该矩阵表示如下：

25

1110111111111111
1111101111111111
1111111111111111
1111111111111111
1111111111111111
1111111111111111
1111111111111111
1111111111111111
1111111111111111

30



在该矩阵中总线请求的优先级是 4 和 6, 因此, 标识符提取器 303 产生标识符信号 01111111 和 10111111, 由处在与相应优先级相同的位置上的列位组成, 分别由解码器 4 和解码器 6 解码产生的标识符信号, 并提取相应的主器件标识符。标识符信号用 8 位表示, 每一位以从 MSB 开始的次序对应于主器件 10-17 之一。因此, 可以看出, 具有优先级 4 和 6 的总线请求分别由主器件 10 和主器件 11 提出。然后, 标识符提取器 303 提取主器件 10 和主器件 11 的标识符, 并将提取的标识符输出到标识符输出单元 304。在从标识符提取器 303 输入的主器件 10 和主器件 11 的两个标识符中, 标识符输出单元 304 根据从优先级输出单元 302 输出的优先级的次序, 先输出主器件 11 的标识符, 再输出主器件 10 的标识符。

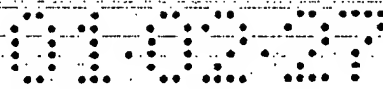
更一般地, 以下用 C-语言编写的表达式来描述。首先, 主器件 10 可以具有其范围从 0 到 15 的、存储在寄存器中的优先级, 因此, priority level signal0 (优先级信号 0) 可以是下列 16 种情况中的一种。

Case (priority0)

```
15      0 : priority level signal0 = 0b1111111111111110;  
        1 : priority level signal0 = 0b1111111111111101;  
        2 : priority level signal0 = 0b1111111111111011;  
        3 : priority level signal0 = 0b1111111111110111;  
        4 : priority level signal0 = 0b1111111111101111;  
20      5 : priority level signal0 = 0b1111111110111111;  
        6 : priority level signal0 = 0b1111111101111111;  
        7 : priority level signal0 = 0b1111111011111111;  
        8 : priority level signal0 = 0b1111110111111111;  
        9 : priority level signal0 = 0b1111101111111111;  
        10 : priority level signal0 = 0b1111101111111111;  
25      11 : priority level signal0 = 0b1111011111111111;  
        12 : priority level signal0 = 0b1110111111111111;  
        13 : priority level signal0 = 0b1101111111111111;  
        14 : priority level signal0 = 0b1011111111111111;  
        15 : priority level signal0 = 0b0111111111111111;
```

endcase

30



此处 0b 表示二进制位。

这也可以在主器件 11-17 中以相同方式表达。优先级和信号表示总线请求具有什么优先级，组成优先级和信号的 Flag0、...、Flag15 按如下构成：

```
5      Flag0 = priority level signal0 [0] or priority level signal1 [0]
        or priority level signal2 [0] or priority level signal3 [0]
        or priority level signal4 [0] or priority level signal5 [0]
        or priority level signal6 [0] or priority level signal7 [0]
        or priority level signal8 [0] or priority level signal9 [0]
        or priority level signal10 [0] or priority level signal11 [0]
10     or priority level signal12 [0] or priority level signal13 [0]
        or priority level signal14 [0] or priority level signal15 [0]
```

.....

15 Identifier signal0-7 (标识符信号 0-7) 通过提取优先级信号的每个位，并将提取的位重排成位串产生。

```
Case (identifier signal0)
    0b00000000 : ld0 <= 0;
    0b00000001 : ld0 <= 1;
    0b00000011 : ld0 <= 2;
20    0b00000111 : ld0 <= 3;
    0b00001111 : ld0 <= 4;
    0b00011111 : ld0 <= 5;
    0b00111111 : ld0 <= 6;
    0b01111111 : ld0 <= 7;
25    endcase
```

此处，d 表示 “don’ t care(不管)”。其余的 identifier signal1-7 按相同的方式构成。

图 5 是用于说明执行调度器 4、指令执行控制器 50 和伪延迟器 60 之间的相互关系的方块图。其余的指令执行控制器 51 和 52、和伪延迟器 61 和 62 也分别具有与指令执行控制器 50 和伪延迟器 60 相同的结构。

参照图 5, 执行调度器 4 包括存取指令分配器 41, 用于将从判优器 3

输出的存取指令发送到相应的指令执行控制器 50; 和执行调度单元 46, 用于将存取指令的执行开始信号发送到在存取指令分配器 41 发送存取指令到其中的伪延迟器 60-64 中发出了执行准备完成信号的一个伪延迟器 60。

5 指令执行控制器 50 包括指令保持器 31、存取信息提取器 32、比较单元 34、执行存取信息存储单元 33 和输出次序控制电路 35。指令保持器 31 存储两个或多个从存取指令分配器 41 发送的指令。存取信息提取器 32 从存储在指令保持器 31 中的指令中提取用于执行的存取信息。执行存取信息存储单元 33 存储有关当前正在相应的从器件 20 中执行的存取指令的存取
10 信息。比较单元 34 将由存取信息提取器 32 提取的存取信息与存储在执行存取信息存储单元 33 中的存取信息相比较。输出次序控制电路 35 根据比较单元 34 的比较结果控制存储在指令保持器 31 中的指令的输出次序, 以便所存储指令的总执行时间可以短于根据在指令保持器 31 中存储指令的次序的执行时间, 并将指令输出到相应的伪延迟器 60。

15 伪延迟器 60 包括存储单元 611, 其中存储着与从器件 20 相对应的延迟时钟周期数。伪延迟器 60 在经过了与存储在存储单元 611 中的延迟时钟周期数相对应的延迟时钟周期数之后, 将从指令执行控制器 50 接收的存取指令传送到相应的从器件 20。这里, 存储单元 611 可以用寄存器来实现。伪延迟器 60 根据输出到相应从器件 20 的存取指令, 在真正执行完成一数据
20 传输的真正完成时间之前的作为预定时钟周期的时间点上, 将伪执行完成信号通知给已经输出了发送到伪延迟器 60 的存取指令的主器件 10、11、12、13、14、15、16 或 17。

图 6 是图 5 的执行调度器的详细方块图。执行调度器 4 的存取指令分配器 41 包括指令存储队列 410 和用于控制指令存储队列 410 的指令存储队
25 列控制器 411, 指令存储队列 410 作为指令存储单元用于存储从判优器 3 接收的存取指令。执行调度器 4 的执行调度单元 46 包括标识符存储队列 460、标识符存储队列控制器 461、比较器 462 和解码器 463, 该标识符存储队列 460 作为标识符输出单元用于存储从器件 20-24 的标识符。

标识符存储队列 460 包括一个或多个存储元件, 用于存储包含在通过
30 存取指令分配器 41 发送的存取指令中的从器件标识符; 标识符存储队列控

制器 461 控制标识符存储队列 460 的输入和输出。为每个存储元件配置的每个比较器 462 确定存储在每个存储元件中的标识符是否与发送了执行准备完成信号的伪延迟器 60 的标识符相同。如果比较器 462 确定两个标识符相同，那么，解码器 463 向已经发送了执行准备完成信号的伪延迟器 60 发送执行开始信号。在这种情况下，比较器 462 和解码器 463 是逻辑意义上的名称，可以用各种各样的电路结构来实现它们。

图 7 是图 5 的指令执行控制器 50 的详细方块图。下面结合图 2 作为 SDRAM 的从器件 20 对指令执行控制器 50 加以描述。这是因为对含有等待时间的从器件的描述要借助于对指令执行控制器 50 的理解。参照图 7，指令保持器 31 由指令存储队列 31 来实现，指令存储队列 31 包括 5 个用于存储指令的存储元件。这里，存储指令的存储元件的数目取决于特定应用的类型。存取信息存储提取器 32 由与各存储元件相对应地配置的多个信息提取器 320 实现。存取信息指当存储在相应存储元件中的指令存取存储器组 A201 或存储器组 B202 时所需要的信息。要根据本发明优选实施例提取的详细存取信息包括存储器组地址和要发送用于读 / 写的数据的行地址。该指令由各种类型信息记录在上面的数据字段构成。通常，行地址、组地址和列地址以从高位到低位的次序分配在数据字段上。用于标识主器件 10-17 的标识符包含在指令中。这里，结构、排列和与数据字段相关地分配的位数可以依系统的特征或特定应用作适当调整。

执行存取信息存储单元 33 由寄存器 33 实现，用于存储从 SDRAM 控制器 20a 接收到的、存储器组地址和当前在存储器组 A201 或存储器组 B202 中执行的指令的行地址。比较单元 34 包括多个比较器 340，分别用于将由信息提取器 320 提取的存储器组地址和行地址与存储在寄存器 33 中的存储器组地址和行地址相比较。在这种情况下，比较器 340 是逻辑意义上的名称，并且可以用各种各样的电路结构实现它们。

输出次序控制电路 35 由输出次序控制电路 351 和多路复用器 352 和 353 实现，如下所述的输出次序控制电路 351 用于执行输出次序控制算法，与指令存储队列 31 相连的多路复用器 351 和 352 用于根据来自输出次序控制电路 351 和控制结果来输出存储在每个存储元件中的指令。如果作为相应比较器 340 的比较结果，由信息提取器 320 提取的存储器组地址和行地址

- 两者与存储在寄存器中的存储器组地址和行地址两者相同，则给该指令赋予第一优先级。如果存储器组地址彼此不同，则输出次序控制电路 351 赋予该指令第二优先级。将第一优先级赋予其存储器组地址和指令的行地址两者与存储在寄存器 33 中的存储器组地址和行地址两者的指令归因于
- 5 SDRAM21 的结构特征。SDRAM21 参照输入的组地址和行地址选择组，将存储在所选组的行地址中的所有数据传输到缓冲器(存储器组启动或存储器组打开)，并参照列地址读或写所需地址。因此，如果存储器组地址和指令的行地址与存储在寄存器 33 中的存储器组地址和行地址相同，则无需关闭当前存储器组(完成预充电)和重新打开存储器组。
- 10 现在描述根据赋予的优先级对输出次序的控制。首先输出保存在存储元件中的指令中被赋予第一优先级的指令，然后输出被赋予第二优先级的指令。其余的指令以它们输入的次序输出。如果具有相同优先级的指令彼此竞争，则按照与输入它们的相同次序输出指令。控制输出次序的结果发送到多路复用器 352 和 353，它们又根据受控制的输出次序来输出存储在指令存储队列 31 中的指令。
- 15

现在根据相同的配置描述发送和执行存取指令的过程。首先，参照图 4，描述判优器 3 从主器件 10-17 接收存取指令的过程。判优器 3 的优先级映射器 31 通过总线请求接收器 300 从主器件 10-17 接收总线请求。接着，根据分配给在总线请求接收器 300 中设置的相应输入端口的优先级产生各优先级信号。然后，优先级提取器 301 对产生的各优先级信号逐位进行 OR 运算。优先级输出单元 302 根据从优先级提取器 301 输入的优先级和信号以递减优先级次序输出优先级。

20

同时，标识符提取器 303 从生成的优先级信号中产生标识符信号，解码产生的标识符信号，并提取提出总线请求的主器件 10-17 的标识符。然后，标识符输出单元 304 输出具有从优先级输出单元 302 提供的优先级的

25 主器件的标识符。判优电路 32 将总线赋予输出的主器件标识符。判优电路 32 将总线赋予信号发送给具有该输出标识符的主器件 10、11、12、13、14、15、16、或 17。已经接收了总线赋予信号的主器件 10、11、12、13、14、15、16、或 17 输出存取指令，然后判优器 3 将接收的存取指令发送到执行

30 调度器 4。



接着,现在参考图 6 描述在执行调度器 4 中发送存取指令的过程。

一旦从预定伪延迟器 60、61、62、63、或 64 接收到执行完成信号,执行调度单元 46 就检验设置在标识符存储队列中的每个存储元件是否是空的,以便检验是否存在要执行的存取指令。如果存取指令标识符存储在标识符存储队列 460 中,则执行调度单元 46 等待执行准备完成信号从伪延迟器 60、61、62、63、或 64 到达。如果执行准备完成信号从与存储的存取指令标识符的任何一个相对应的伪延迟器 60、61、62、63、或 64 到达,则由设置在每个存储元件中的比较器 462 检验存储在相应存储元件中的标识符是否与执行准备完成信号从其中到达的伪延迟器 60、61、62、63、或 64 相对应的从器件 20、21、22、23 或 24 的标识符相同。如果两者相同,比较器 462 将结果发送到标识符存储队列控制器 461,它使存储在相应存储元件中的从器件 20、21、22、23 或 24 的标识符从标识符存储队列 460 输出到解码器 463。解码器 463 解码从标识符存储队列 460 输出的标识符,然后将执行开始信号发送到相应的指令执行控制器 50、51、或 52,或指令存储单元 53 或 54。

接下来,参照图 7 描述在指令执行控制器 50 中发送存取指令的过程。在本实施例中的指令执行控制器 50 与图 2 的从器件 20 的 SDRAM 相关。指令执行控制器 50 以指令输入到指令存储队列 31 的次序来保持各输入指令,对于每个存储元件为一个指令。信息提取器从存储在每个存储元件中的命令中提取存储器组地址和行地址作为存取信息。比较器 340 将提取的存储器组地址和行地址与存储在寄存器 33 中的存储器组地址和行地址相比较。作为比较结果,如果存储器组地址和行地址两者与存储在寄存器 33 中的存储器组地址和行地址相同,则赋予该指令第一优先级。如果存储器组地址彼此不同,则赋予该指令第二优先级。

输出次序控制电路 351 根据上面赋予的优先级来控制输出次序。也就是说,首先输出在存储在存储元件中的指令中具有最高优先级的指令。如果指令没有优先级,则按输入它们的次序输出指令。多路复用器 60 根据由输出次序控制电路 351 控制的输出次序将指令输出到伪延迟器。

现在详细描述在输出次序控制电路 351 中控制输出次序的过程。比较器 340 将组地址与行地址相比较,然后输出用两位表示的结果值。如果比较结果相同,则结果值为“0”,如果比较结果不同,则结果值为“1”。行



地址和组地址的比较结果分别作为高位和低位输出。

输出次序控制电路 351 从比较器 340 收集结果值, 以便使与较低存储元件的指令的比较值可以作为相应低位定位, 并从较低位开始以两位为单位搜索所收集的 10 位的结果值。在这种情况下, 首先输出其中找到“00”的区间的号码, 然后输出其中找到“01”、“11”的区间的号码。多路复用器 352 和 353 以输出号码的次序输出相应的指令。例如, 如果与存储在元件 (0)、(1)、(2)、(3) 和 (4) 中的指令的比较值分别是“10”、“01”、“10”、“00”和“10”, 则集中起来的比较结果是“1000100110”。输出次序控制电路 351 按每两位将比较结果“1000100110”划分成 5 个区间, 并以从 LSB 开始的次序搜索“00”所在的区间。作为这个搜索的结果, 其中找到“00”的区间对应于存储元件 (3)。赋予存储在存储元件 (3) 中的指令第一优先级, 因为它具有与当前正在执行的组地址和行地址相同的组地址和行地址。此外, 其中找到“01”或“11”的区间对应于存储元件 (1)。赋予存储在存储元件 (1) 中的指令第二优先级, 因为它具有与当前正在执行的组地址不同的组地址。结果, 指令的输出次序是存储元件 (3) \Rightarrow 存储元件 (1) \Rightarrow 存储元件 (0) \Rightarrow 存储元件 (2) \Rightarrow 存储元件 (4)。

同时, 现在参考图 8 中指令存储单元 54 的方块图描述在指令存储单元 54 中发送存取指令的过程。在指令存储单元 53 中的发送过程也是相同的。指令存储单元 54 包括用于存储存取指令的执行指令存储队列 541 和用于控制执行指令存储队列 541 的输入/输出的执行指令存储队列控制器 540。执行指令存储队列控制器 540 存储从执行调度器 4 发送的存取指令, 并以输入它们的次序将存取指令输出到相应的伪延迟器 64。

接着, 现在参考图 5 描述在伪延迟器 60 中发送存取指令的过程。伪延迟器 60 包括与从器件 20 相对应的延迟时钟周期数存储在其中的存储单元 611。在经过与存储在存储单元 611 中的延迟时钟周期数相对应的延迟时钟周期数之后, 伪延迟器 60 将从指令执行控制器 50 接收的存取指令发送到相应的从器件 20。

从器件 20 接收存取指令, 并准备数据传输。当数据传输准备已完成时, 将数据传输指示信号和相应主器件 10、11、12、13、14、15、16 或 17 的标识符输出到执行调度器 4, 已经接收到数据传输指示信号的执行调度器 4



将数据传输指示信号发送到相应的主器件 10、11、12、13、14、15、16 或 17。然后，数据在从器件 20 与相应主器件 10、11、12、13、14、15、16 或 17 之间传输。

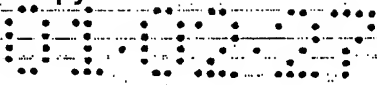
5 执行调度器 4 在真正完成对输出到相应的从器件 20 的存取指令的执行 (完成数据传输) 之前作为预定时钟周期的时刻将伪执行完成信号发送到相应的从器件 20。

延迟时钟周期数是由从器件 21、22、或 23 的等待时间确定的。例如，如果相应的等待时间是 5、6、和 4 个时钟周期，则延迟时钟周期数分别是 1、0、2 个时钟周期。也就是说，延迟时钟周期数等于与最长等待时间的差。
10 这样，伪延迟器 60 用于使所有从器件 20-24 的等待时间在 6 个时钟周期上相同。在如上所述的例子中，存储在存储单元 611 中的延迟时钟周期数是 1。

同时，如果突发长度是“4”，这意味着连续发送长度为“4”的数据，则伪延迟器 60 在真正完成数据传输之前作为与 6 个时钟周期相对应的等待
15 时间的时刻将伪执行完成信号通知给执行调度器 4。已经得到伪执行完成通知的执行调度器 4 将存取指令的执行开始信号发送到另一个伪延迟器 61、62、63 或 64，最后，伪延迟器 61、62、63 或 64 尽早开始准备在相应的从器件 21、22、23 或 24 中的数据传输，从而降低了数据总线的空闲时钟周期数。

20 图 9 是用于说明根据本发明的数据传输的时序图。参照图 9，将第一指令发送到从器件 20，和将第二指令发送到从器件 21。伪延迟器 60 和 61 在真正完成 SDRAM 的数据传输之前作为与 SDRAM 控制器等待时间加上 SDRAM 等待时间相对应的等待时间的时间点上将伪执行完成通知给从器件 21。此外，伪延迟器 60 和 61 将存取指令发送到相应的从器件 20 和 21，将其延迟
25 所需的延迟时钟周期数，以便使从器件 20 和 21 的等待时间相同。因此，连接“主执行周期 1”和“数据传输 1”的直线的斜率“a”与连接“主执行周期 2”和“数据传输 2”的直线的斜率“b”相同。也就是说，根据本发明，从器件 20 的数据传输(数据传输 1)和从器件 21 的数据传输(数据传输 2)是连续进行的，没有空闲时钟周期。

30 同时，无论是只有图 2 所示的两个从器件 20 和 21，还是三个或更



多个从器件，伪延迟器都延迟和发送存取指令，使所有的从器件看起来好像有相同的等待时间。统一等待时间使连接从器件 10-17 的指令输出和数据总线上的数据传输的直线的斜率相等，从而使数据没有空闲时钟周期地连续得到传输，提高了整个系统的效率。

5 由于根据本发明的判优器 3 将在输入端口上指定的优先级存储在相应的寄存器中，因此，可以通过改变存储在寄存器中的值动态地指定优先级。

此外，尽管针对主器件 10-17 是 8 个和优先级为 16 的情况已经对本发明的此实施例作了描述，但可以对主器件数或优先级数作各种改变。

10 如上所述，本发明提供了用不使用比较器的简单结构的电路实现的优先级指定方案的判优器，和采用这种判优器的总线系统。因此，本发明能实现可以不受主器件数限制地设计的系统、用简单电路结构的高速判优、和可变的优先级指定。

15 此外，与主器件直接接管对相应的从器件的控制的传统总线系统不同，该总线系统允许主器件只发送存取指令，从而提供了简单得多的总线接口结构。

20 本发明控制指令执行次序，使得首先完成执行准备的从器件可以首先存取数据总线，从而提供了整体数据传输速度提高了的总线系统及其存取指令执行调度方法。尤其是，根据本发明，如果从器件连接到以比主数据总线低的速度传输数据的本地数据总线，则该从器件可以有效地存取本地数据总线，从而减少了主数据总线的空闲时钟周期，并提高了整个系统的处理速度。

25 此外，本发明使从器件的等待时间相等，因此可以减少由不同等待时间引起的数据总线的空闲时钟周期，并防止数据总线上数据的冲突。尤其是，如果从器件是诸如 SDRAM 之类支持流水线(pipeline)传输和进行频繁突发发送的存储器，空闲时钟周期数可以得到显著减少，从而提高了总线系统的效率。并且，甚至在不支持流水线传输的 ROM 的情况下，根据本发明的伪延迟器也允许数据传输类似于流水线传输。也就是说，可以通过通知伪执行完成，在数据传输实际没有完成的时刻执行另一个从器件。

SECRET

说明书附图

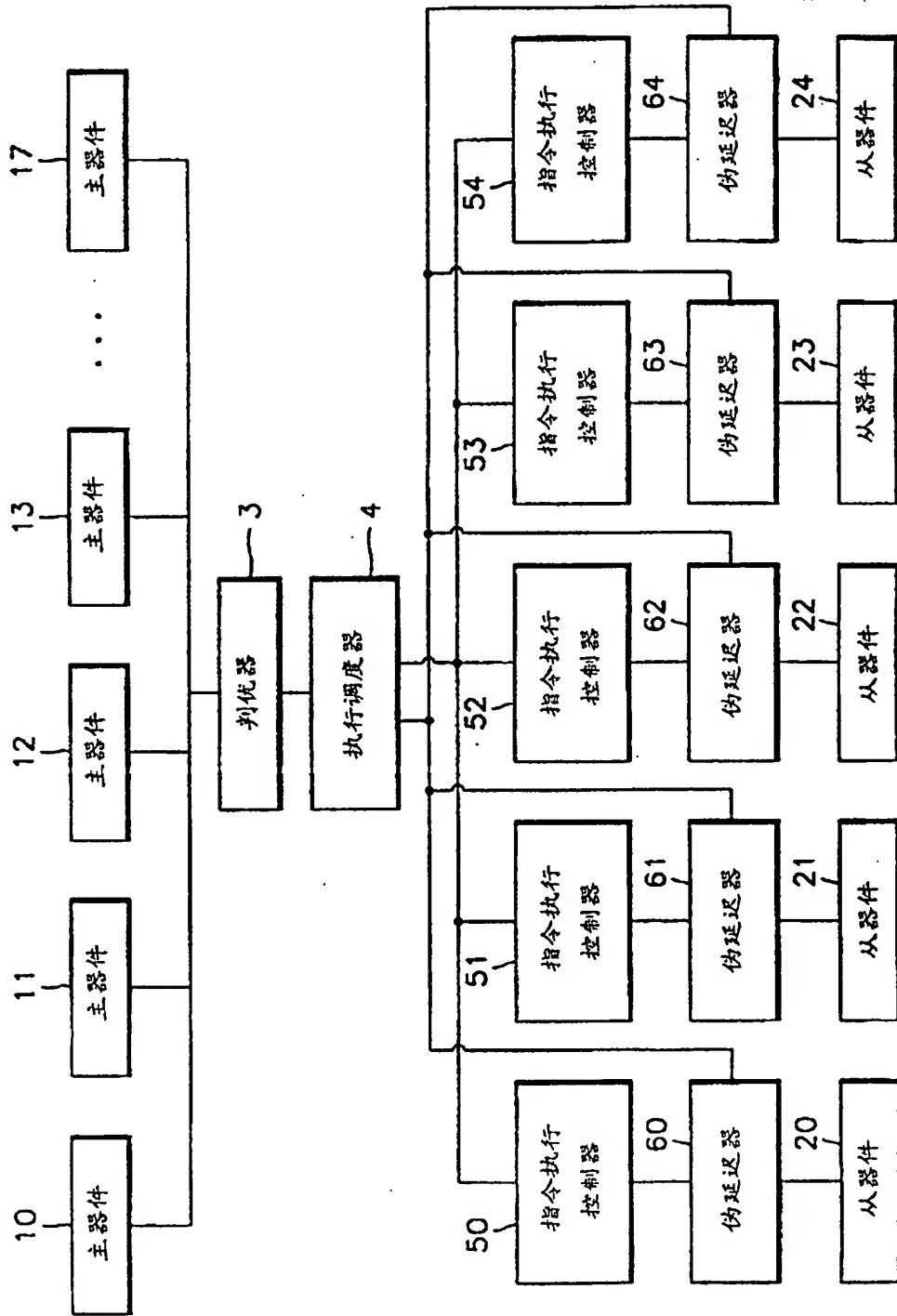


图 1

000000

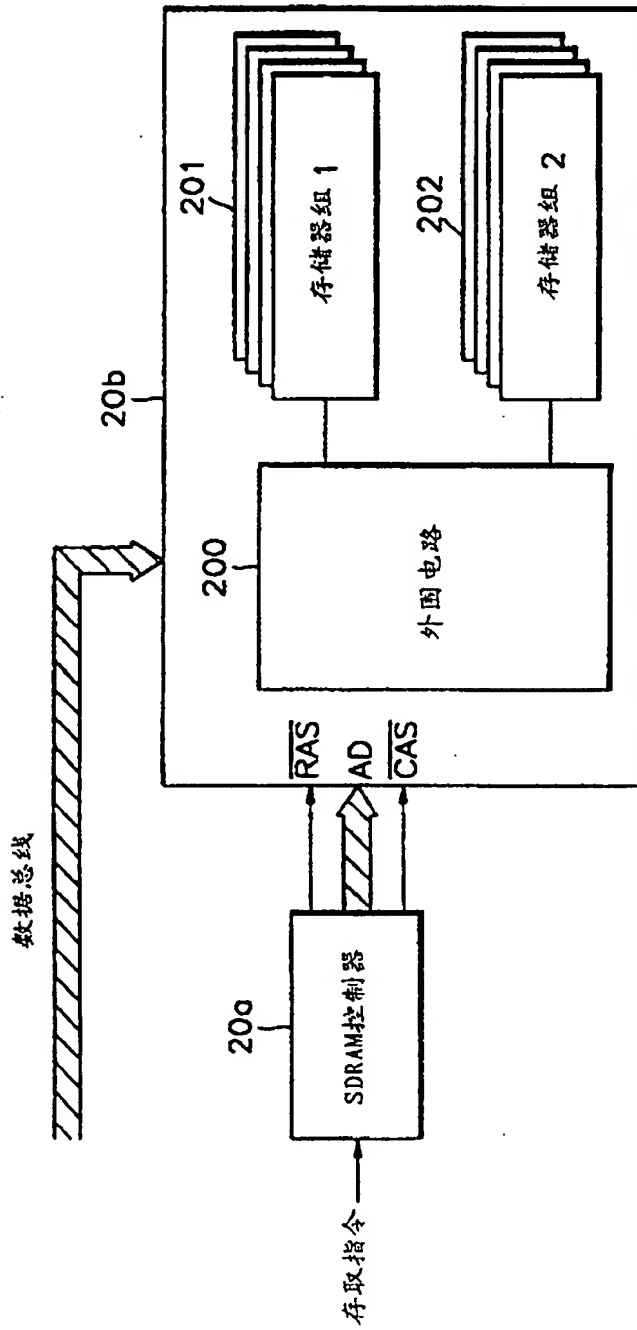


图 2

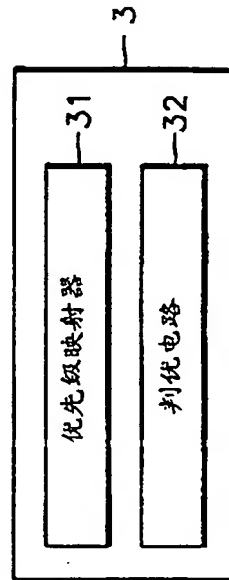


图 3

01037

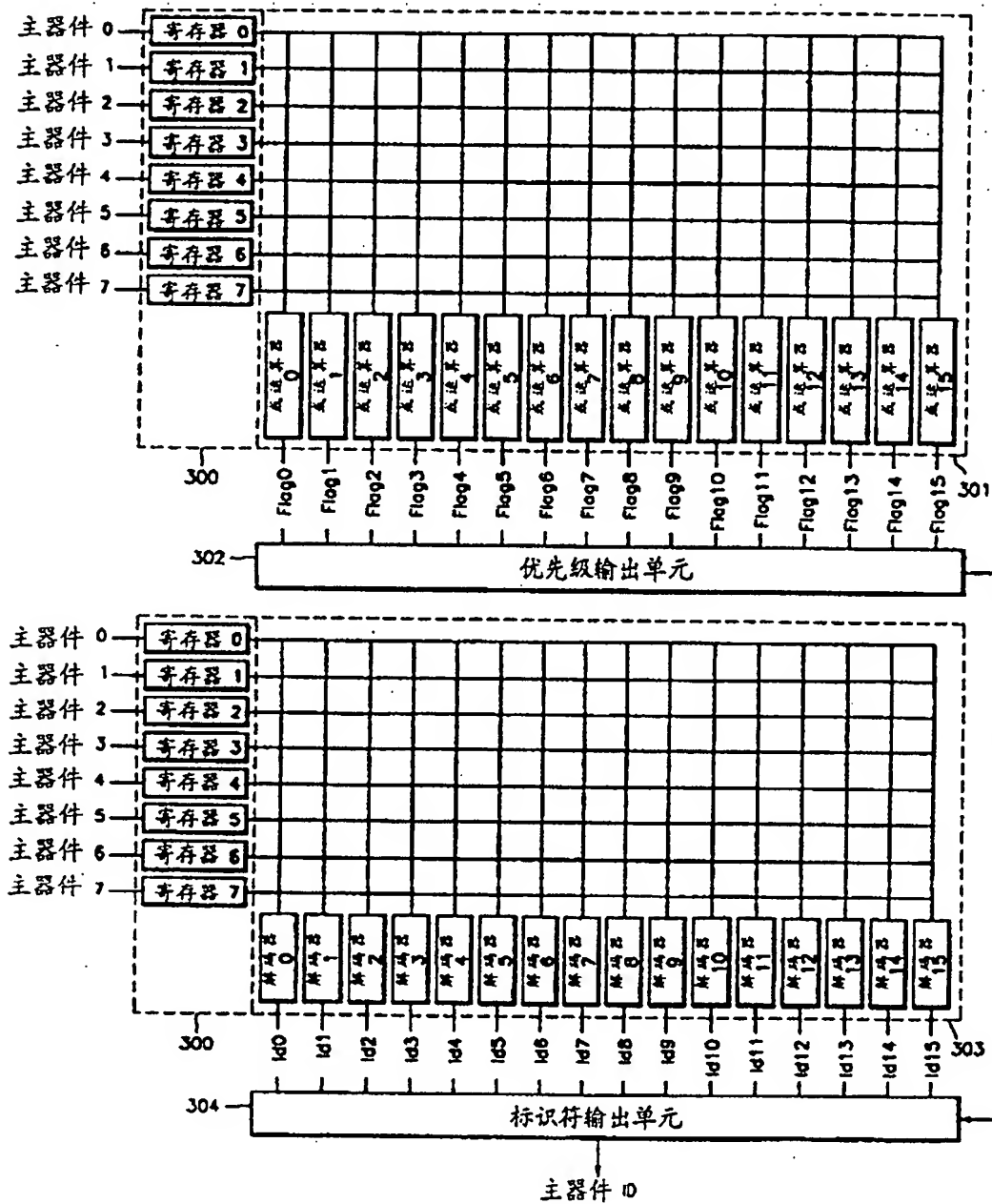


图 4

000000

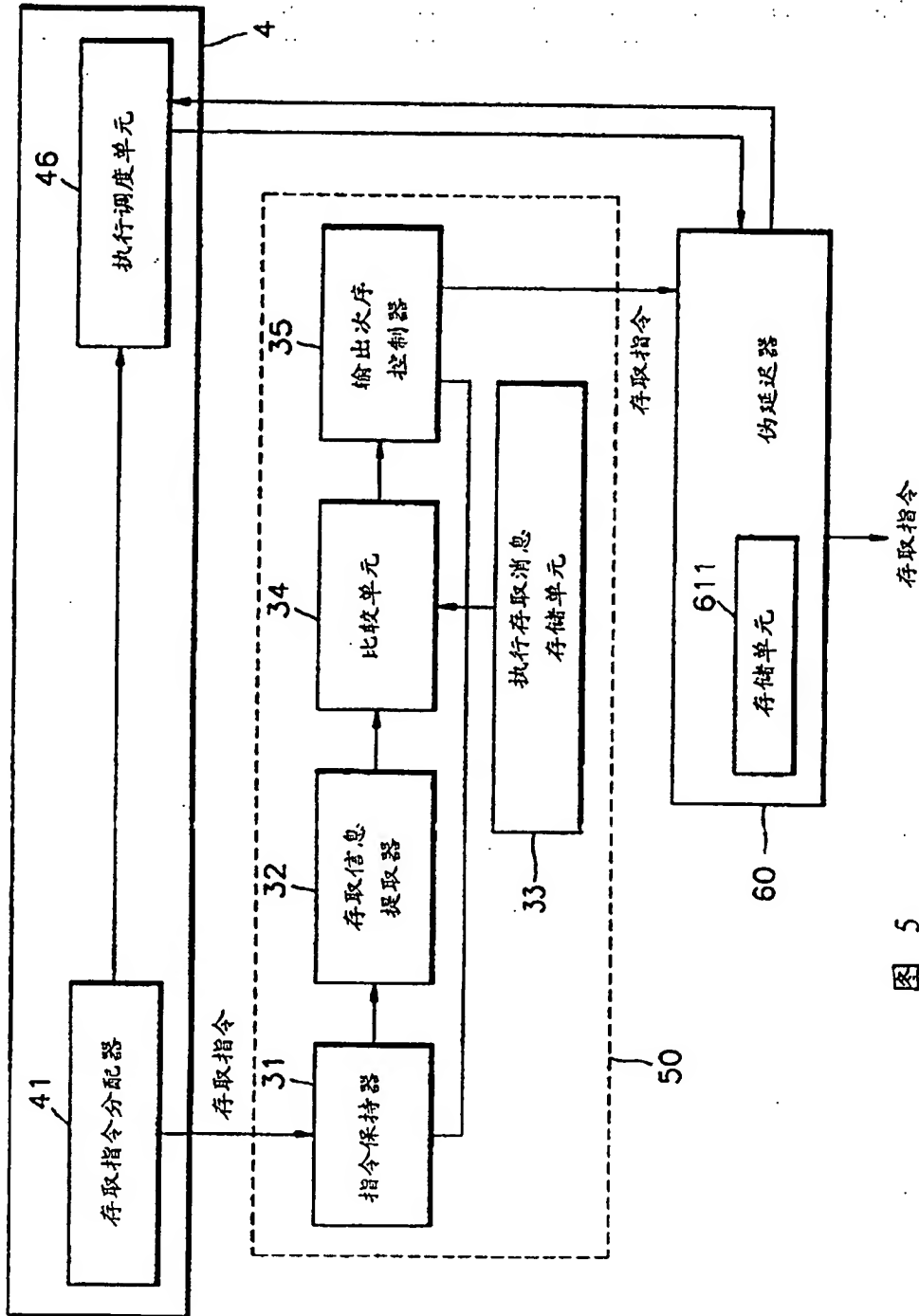


图 5

SECRET

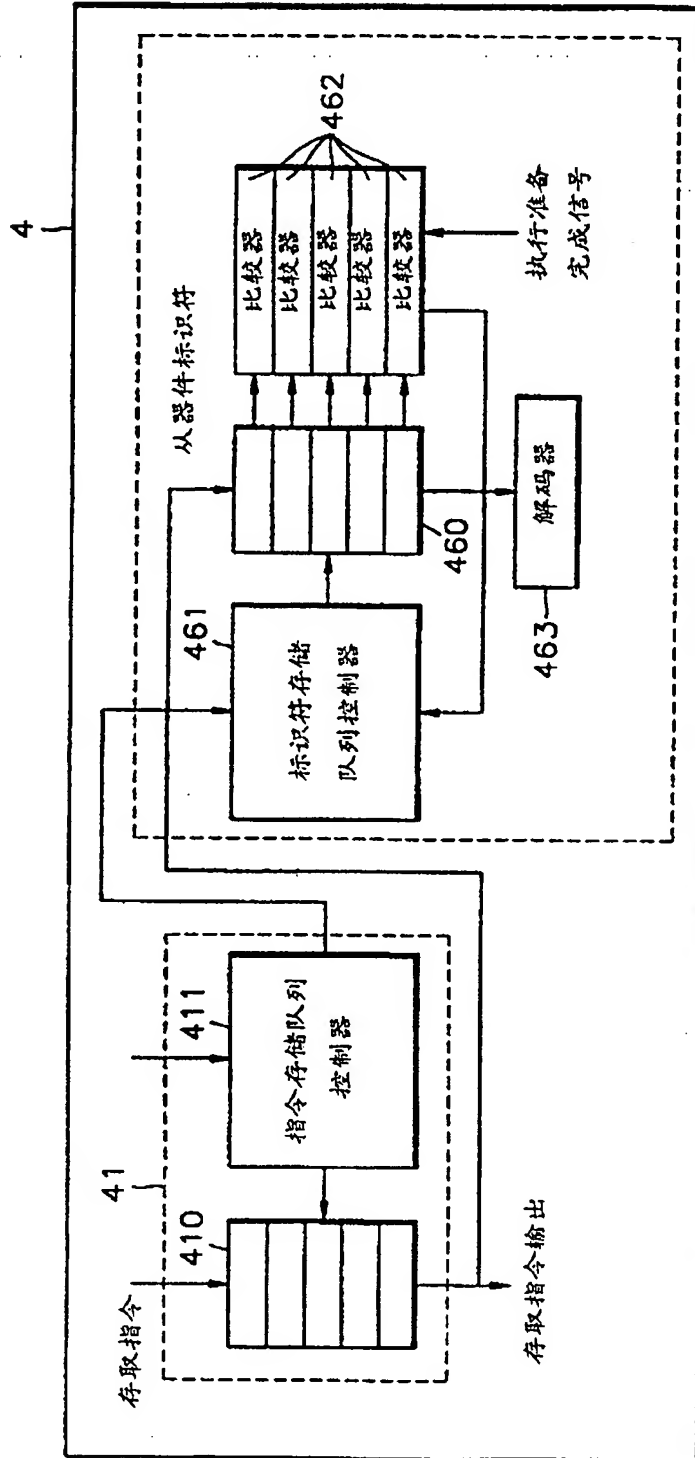


图 6

000000

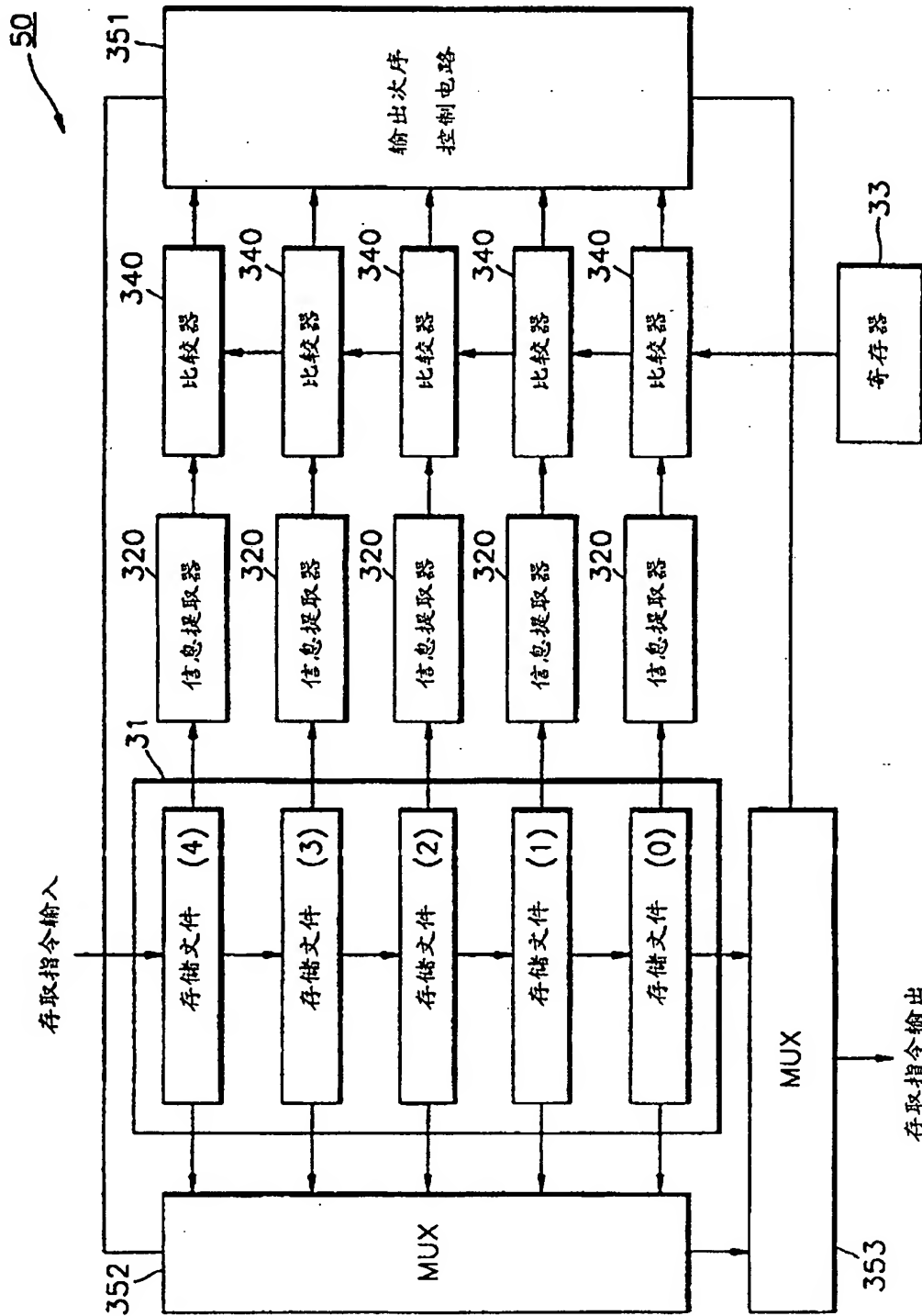


图 7

SECRET

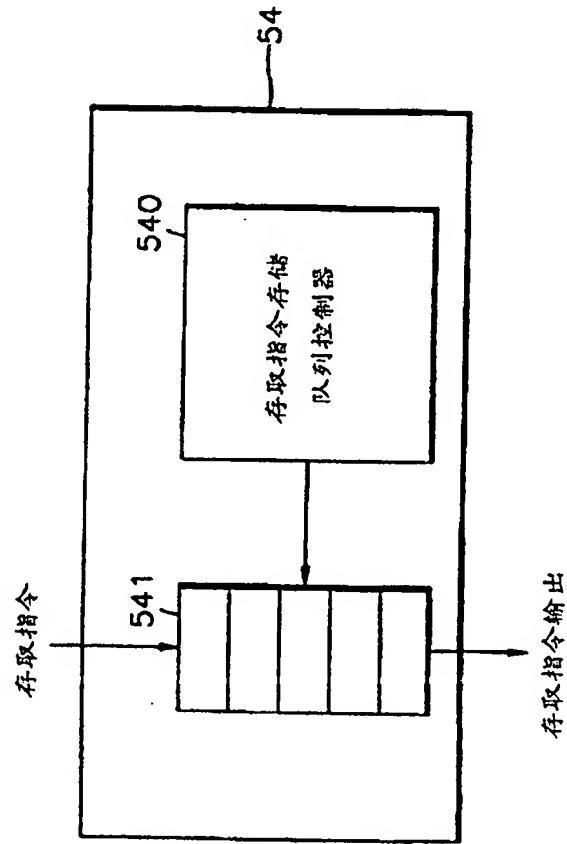


图 8

000000

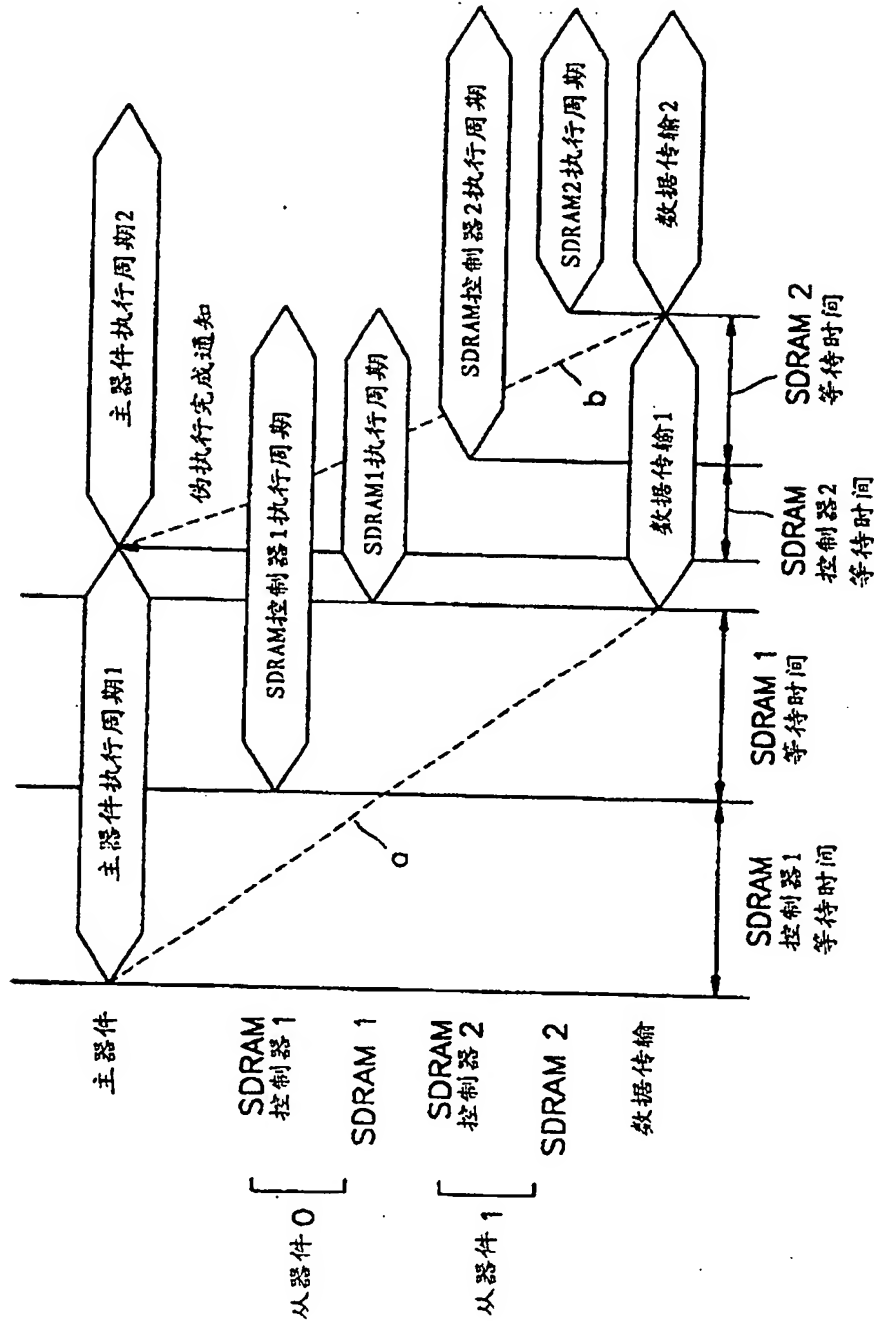


图 9

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.